

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-204720

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 25/065

H 0 1 L 25/08

Z

25/07

25/18

審査請求 未請求 請求項の数9 O L (全 12 頁)

(21) 出願番号 特願平10-5221

(22) 出願日 平成10年(1998) 1月14日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 福井 靖樹

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 曾田 義樹

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 松根 裕司

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 弁理士 小池 隆彌

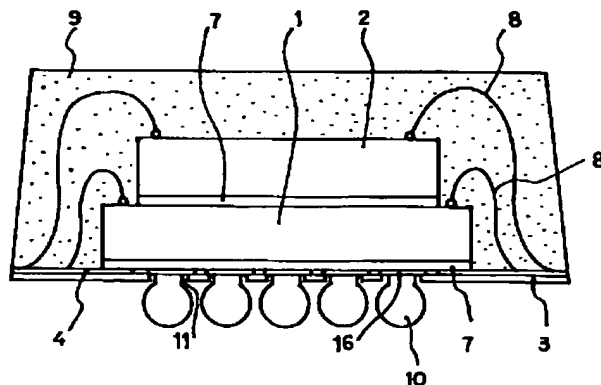
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 スタックドパッケージでもCSP構造で、半導体チップを積層する方法が要求されている。

【解決手段】 表面に所望の回路が形成されたウエハの裏面に熱圧着シートを貼り付け、ダイシングすることにより形成された半導体チップ1が、配線層4が形成され、且つ、裏面に貫通孔11を通して配線層4と電気的に接続された実装用外部端子10を有する絶縁性基板3に、回路形成面を上にして搭載され、半導体チップ1の回路形成面上に、表面に回路形成されたウエハの裏面に熱圧着シートを貼り付け、ダイシングすることにより形成された半導体チップ2が搭載され、半導体チップ1及び2と配線層4の電極部とがワイヤー8を用いて接続され、半導体チップ1、2及びワイヤー8が樹脂封止されている。



## 【特許請求の範囲】

【請求項1】 表面に所望の回路が形成されたウエハーの裏面に第1の絶縁性接着層を形成し、ダイシングすることにより形成された第1の半導体チップが、表面に配線層及び裏面に貫通孔を通して上記配線層と電気的に接続された実装用外部端子を有する絶縁性基板に上記第1の絶縁性接着層を介して搭載され、

且つ、上記第1の半導体チップの回路形成面上に、表面に回路形成されたウエハーの裏面に第2の絶縁性接着層を形成し、ダイシングすることにより形成された第2の半導体チップが上記第2の絶縁性接着層を介して搭載され、

且つ、上記第1の半導体チップ及び第2の半導体チップと上記配線層の電極部とがワイヤーを用いて接続され、且つ、上記第1の半導体チップ、第2の半導体チップ及び上記ワイヤーが樹脂封止されていることを特徴とする半導体装置。

【請求項2】 表面に所望の回路が形成された第1の半導体チップが、表面に配線層及び裏面に貫通孔を通して上記配線層と電気的に接続された実装用外部端子を有する絶縁性基板に絶縁性ペーストを介して搭載され、

且つ、上記第1の半導体チップの回路形成面上に、表面に回路形成されたウエハーの裏面に第2の絶縁性接着層を形成し、ダイシングすることにより形成された第2の半導体チップが上記第2の絶縁性接着層を介して搭載され、

且つ、上記第1の半導体チップ及び第2の半導体チップと上記配線層の電極部とがワイヤーを用いて接続され、且つ、上記第1の半導体チップ、第2の半導体チップ及び上記ワイヤーが樹脂封止されていることを特徴とする半導体装置。

【請求項3】 上記第1の半導体チップの外縁より上記第2の半導体チップの外縁が突出している半導体装置において、上記突出している上記第2の半導体チップ下に上記第1の半導体チップと同じ厚さの支持部材を設けたことを特徴とする、請求項1又は請求項2に記載の半導体装置。

【請求項4】 表面に所望の回路が形成されたウエハーの裏面に絶縁性接着層を形成した後、ダイシングすることにより形成された第1の半導体チップを、表面に配線層及び裏面に貫通孔を通して上記配線層と電気的に接続された実装用外部端子を有する絶縁性基板に上記絶縁性接着層を介して搭載する工程と、

上記第1の半導体チップの回路形成面上に、表面に所望の回路が形成されたウエハーの裏面に絶縁性接着層を形成した後、ダイシングすることにより形成された第2の半導体チップを上記絶縁性接着層を介して搭載する工程と、

上記第1の半導体チップ及び第2の半導体チップと上記

上記第1の半導体チップ、第2の半導体チップ及び上記ワイヤーを樹脂封止する工程とを有すること特徴とする、半導体装置の製造方法。

【請求項5】 金から成る上記ワイヤーを用いて、上記第1の半導体チップと上記配線層の電極部との接続において、上記第1の半導体チップと上記ワイヤーとの接続を上記ワイヤーの端部に設けられた金ボールを上記第1の半導体チップの電極部に接触させることにより行い、且つ、上記ワイヤーと上記配線層の電極部との接続を上記ワイヤー端部を上記配線層の電極部に熱圧着することにより行い、

また、上記第2の半導体チップと上記配線層の電極部との接続において、上記ワイヤーと上記配線層の電極部との接続を上記ワイヤー端部に設けられた金ボールを上記配線層の電極部に接触させることで行い、且つ、上記第2の半導体チップの電極部と上記ワイヤーとの接続を上記第2の半導体チップの電極部に設けられたバンパに上記ワイヤーを熱圧着することで行うことを特徴とする、請求項4に記載の半導体装置の製造方法。

【請求項6】 表面に配線層を、また、裏面に貫通孔を通して上記配線層と電気的に接続された実装用外部端子と、第3の半導体チップとの接続部以外の該第3の半導体チップ搭載領域に絶縁層と、上記第3の半導体チップとの電気的接続のための金属バンパとを有する絶縁性基板表面に、上記金属バンパを介して上記絶縁性基板に上記第3の半導体チップがフェイスダウンボンディングされ、

且つ、上記第3の半導体チップの回路形成面と反対の面上に、表面に所望の回路が形成されたウエハーの裏面に第3の絶縁性接着層を形成し、ダイシングすることにより形成された第4の半導体チップが上記第3の絶縁性接着層を介して搭載され、

且つ、上記第4の半導体チップと上記配線層の電極部とがワイヤーを用いて接続され、

且つ、上記第3の半導体チップ、第4の半導体チップ及び上記ワイヤーが樹脂封止されていることを特徴とする半導体装置。

【請求項7】 上記絶縁層内に遮光層を有することを特徴とする、請求項6に記載の半導体装置。

【請求項8】 上記第3の半導体チップの外縁より上記第4の半導体チップの外縁が突出している半導体装置において、上記突出している上記第4の半導体チップ下に上記第3の半導体チップと同じ厚さの支持部材を設けたことを特徴とする、請求項6又は請求項7に記載の半導体装置。

【請求項9】 表面に配線層を有し、且つ裏面に貫通孔を通して上記配線層と電気的に接続された実装用外部端子を有する絶縁性基板表面に、第3の半導体チップとの接続部以外の該第3の半導体チップ搭載領域に絶縁層を

## 3

めの金属バンパを形成する工程と、  
 上記金属バンパを介して上記絶縁性基板上に上記第3の半  
 導体チップをフェイスダウンボンディングする工程と、  
 上記第3の半導体チップの回路形成面と反対の面上に、  
 表面に所望の回路が形成されたウエハーの裏面に第3の  
 絶縁性接着層を形成し、ダイシングすることにより形成  
 された第4の半導体チップを上記第3の絶縁性接着層を  
 介して搭載する工程と、  
 上記第4の半導体チップと上記配線層の電極部とをワイ  
 ヤーを用いて接続する工程と、  
 上記第3半導体チップ、第4の半導体チップ及び上記ワ  
 イヤーが樹脂封止されていることを特徴とする、半導体  
 装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びそ  
 の製造方法、特にほぼチップサイズにまで小型化された  
 半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】プリント回路基板への半導体装置の高密  
 度化に伴い、半導体装置の小型化も進んでおり、近年で  
 は、ほぼチップサイズにまで小型化された半導体装置が  
 開発されている。この小型化された半導体装置はCSP  
 (Chip・Size・Package)と呼ばれてい  
 る。特開平9-121002号公報には回路形成面を上  
 側にして、図13(a)に示すようなワイヤーを用いて  
 配線するCSP構造の半導体装置や、図13(b)に示  
 すようなバンパを用い、回路形成面を下側にしたCSP  
 構造の半導体装置が開示されている。図12において、  
 41は配線部品、42は半導体チップ、43はワイヤ  
 ー、44は樹脂封止部、45はスルーホール、46は基  
 板、47は配線パターン、48は絶縁材、49は外部接  
 続端子、50は外部接続領域、51は電極、61はスル  
 ーホール、62は配線部品、63は電極、64は半導体  
 チップ、65は樹脂封止部、66は配線パターン、67  
 は内部接続領域、68は外部接続領域、69は外部接続  
 端子、70はバンパ電極を示す。

【0003】また、携帯機器等にメモリ等の付加価値や  
 容量の増大を狙ってパッケージ内に複数の半導体チッ  
 プを搭載しているパッケージがある。例えば、複数の  
 半導体チップを横に配列し搭載したマルチチップモジュ  
 ールはチップを横に並べて配列させるため、搭載する半  
 導体チップの総面積よりも小さなパッケージの作成は不  
 可能である。一方、複数の半導体チップを積層させ搭  
 載することにより実装密度を高めている構造のパッケー  
 ジ(以下、「スタックドパッケージ」という。)が特開  
 平5-90486号公報等を開示されている。この公報  
 には、半導体チップの回路形成面と反対の面同士を接着  
 させ、それを他の半導体チップに金属バンパを介して積

## 4

体チップの回路形成面と反対の面を向かい合わせて搭載  
 する構造でセラミックパッケージに実装されている半導  
 体装置が開示されている。

【0004】

【発明が解決しようとする課題】上述のスタックドパッ  
 ケージは小型で、密度の高い半導体装置であるが、より  
 小型化が要求され、スタックドパッケージでもCSP構  
 造で、半導体チップを積層する方法が要求されている。

【0005】半導体チップを基板に接続する際や、半導  
 体チップを積み重ねるための接着には、接着剤(ペース  
 ト)のポッティングによる方法や熱圧着シートを使用す  
 る方法が用いられている。尚、図14は従来技術の問題  
 点の説明に供する図であり、33は絶縁性基板、34は  
 配線層、35は絶縁シート、36は金属バンパ、37は  
 接着シート、40は実装用外部端子である。

【0006】まず、ポッティングによる方法は接着剤が  
 過剰である場合、半導体チップの外縁からのみ出しが  
 大きく、例えば図14(a)に示すように半導体チップ  
 31と半導体チップ32との裏面同士を接着する場合、  
 半導体チップ31と32との間よりはみ出した接着剤3  
 1が上側の半導体チップ22と絶縁性基板の電極部とを  
 ワイヤーボンディングする際に、ワイヤーボンダーの治  
 具と接触しないようにするため、半導体チップと電氣的  
 に接続される絶縁性基板に設けられた配線をチップ側面  
 より遠くに位置させることになり、最終的にはパッケー  
 ジサイズが大きくなる。また、図14(b)に示す半導  
 体チップ31の回路形成面上に半導体チップ32を積み  
 重ねる場合は、半導体チップ31のワイヤー配線を行う  
 電極パッド上にはみ出した接着剤30が重なる可能性が  
 ある。

【0007】一方、接着剤が少ない場合は半導体チップ  
 31と32との間に隙間が生じることになり、この隙間  
 に封止樹脂39は埋まらず、剥がれ等の原因となる。

【0008】また、熱圧着シートを用いる場合は、半導  
 体チップ32と同等の大きさの熱圧着シートを半導体チ  
 ップ31の指定位置に正確に置き、半導体チップ32も  
 ずれないようにその位置に合わせて接着する必要がある  
 ので、正確な位置合わせ工程が必要となる。

【0009】

【課題を解決するための手段】請求項1に記載の本発明  
 の半導体装置は、表面に所望の回路が形成されたウエハ  
 ーの裏面に第1の絶縁性接着層を形成し、ダイシングす  
 ることにより形成された第1の半導体チップが、表面に  
 配線層及び裏面に貫通孔を通して上記配線層と電氣的に  
 接続された実装用外部端子を有する絶縁性基板上に上記  
 第1の絶縁性接着層を介して搭載され、且つ、上記第1の  
 半導体チップの回路形成面上に、表面に回路形成された  
 ウエハーの裏面に第2の絶縁性接着層を形成し、ダイシ  
 ングすることにより形成された第2の半導体チップが上

1の半導体チップ及び第2の半導体チップと上記配線層の電極部とがワイヤーを用いて接続され、且つ、上記第1の半導体チップ、第2の半導体チップ及び上記ワイヤーが樹脂封止されていることを特徴とするものである。

【0010】また、請求項2に記載の本発明の半導体装置は、表面に所望の回路が形成された第1の半導体チップが、表面に配線層及び裏面に貫通孔を通して上記配線層と電気的に接続された実装用外部端子を有する絶縁性基板に絶縁性ペーストを介して搭載され、且つ、上記第1の半導体チップの回路形成面上に、表面に回路形成されたウエハーの裏面に第2の絶縁性接着層を形成し、ダイシングすることにより形成された第2の半導体チップが上記第2の絶縁性接着層を介して搭載され、且つ、上記第1の半導体チップ及び第2の半導体チップと上記配線層の電極部とがワイヤーを用いて接続され、且つ、上記第1の半導体チップ、第2の半導体チップ及び上記ワイヤーが樹脂封止されていることを特徴とするものである。

【0011】また、請求項3に記載の本発明の半導体装置は、上記第1の半導体チップの外縁より上記第2の半導体チップの外縁が突出している半導体装置において、上記突出している上記第2の半導体チップ下に上記第1の半導体チップと同じ厚さの支持部材を設けたことを特徴とする、請求項1又は請求項2に記載の半導体装置である。

【0012】また、請求項4に記載の半導体装置の製造方法は、表面に所望の回路が形成されたウエハーの裏面に絶縁性接着層を形成した後、ダイシングすることにより形成された第1の半導体チップを、表面に配線層及び裏面に貫通孔を通して上記配線層と電気的に接続された実装用外部端子を有する絶縁性基板上に上記絶縁性接着層を介して搭載する工程と、上記第1の半導体チップの回路形成面上に、表面に所望の回路が形成されたウエハーの裏面に絶縁性接着層を形成した後、ダイシングすることにより形成された第2の半導体チップを上記絶縁性接着層を介して搭載する工程と、上記第1の半導体チップ及び第2の半導体チップと上記配線層の電極部とをワイヤーを用いて接続する工程と、上記第1の半導体チップ、第2の半導体チップ及び上記ワイヤーを樹脂封止する工程とを有すること特徴とするものである。

【0013】また、請求項5に記載の半導体装置の製造方法は、金から成る上記ワイヤーを用いて、上記第1の半導体チップと上記配線層の電極部との接続において、上記第1の半導体チップと上記ワイヤーとの接続を上記ワイヤーの端部に設けられた金ボールを上記第1の半導体チップの電極部に接触させることにより行い、且つ、上記ワイヤーと上記配線層の電極部との接続を上記ワイヤー端部を上記配線層の電極部に熱圧着することにより行い、また、上記第2の半導体チップと上記配線層の電

極部との接続を上記ワイヤー端部に設けられた金ボールを上記配線層の電極部に接触させることで行い、且つ、上記第2の半導体チップの電極部と上記ワイヤーとの接続を上記第2の半導体チップの電極部に設けられたバンパに上記ワイヤーを熱圧着することで行うことを特徴とする、請求項4に記載の半導体装置の製造方法である。

【0014】また、請求項6に記載の本発明の半導体装置は、表面に配線層を、また、裏面に貫通孔を通して上記配線層と電気的に接続された実装用外部端子と、第3の半導体チップとの接続部以外の該第3の半導体チップ搭載領域に絶縁層と、上記第3の半導体チップとの電気的接続のための金属バンパとを有する絶縁性基板表面に、上記金属バンパを介して上記絶縁性基板上に上記第3の半導体チップがフェイスダウンボンディングされ、且つ、上記第3の半導体チップの回路形成面と反対の面上に、表面に所望の回路が形成されたウエハーの裏面に第3の絶縁性接着層を形成し、ダイシングすることにより形成された第4の半導体チップが上記第3の絶縁性接着層を介して搭載され、且つ、上記第4の半導体チップと上記配線層の電極部とがワイヤーを用いて接続され、且つ、上記第3の半導体チップ、第4の半導体チップ及び上記ワイヤーが樹脂封止されていることを特徴とするものである。

【0015】また、請求項7に記載の本発明の半導体装置は、上記絶縁層内に遮光層を有することを特徴とする、請求項6に記載の半導体装置である。

【0016】また、請求項8に記載の本発明の半導体装置は、上記第3の半導体チップの外縁より上記第4の半導体チップの外縁が突出している半導体装置において、上記突出している上記第4の半導体チップ下に上記第3の半導体チップと同じ厚さの支持部材を設けたことを特徴とする、請求項6又は請求項7に記載の半導体装置である。

【0017】更に、請求項9に記載の本発明の半導体装置の製造方法は、表面に配線層を有し、且つ裏面に貫通孔を通して上記配線層と電気的に接続された実装用外部端子を有する絶縁性基板表面に、第3の半導体チップとの接続部以外の該第3の半導体チップ搭載領域に絶縁層を形成し且つ上記第3の半導体チップとの電気的接続のための金属バンパを形成する工程と、上記金属バンパを介して上記絶縁性基板上に上記第3の半導体チップをフェイスダウンボンディングする工程と、上記第3の半導体チップの回路形成面と反対の面上に、表面に所望の回路が形成されたウエハーの裏面に第3の絶縁性接着層を形成し、ダイシングすることにより形成された第4の半導体チップを上記第3の絶縁性接着層を介して搭載する工程と、上記第4の半導体チップと上記配線層の電極部とをワイヤーを用いて接続する工程と、上記第3半導体チップ、第4の半導体チップ及び上記ワイヤーが樹脂封止

【0018】

【発明の実施の形態】以下、実施の形態に基づいて本発明について詳細に説明する。

【0019】図1は本発明の第1の実施の形態の半導体装置の断面図、図2は同半導体装置の製造工程図、図3は本発明の第2の実施の形態の半導体装置の断面図、図4は同半導体装置の製造工程図、図5(a)は配線層が片面だけに形成された絶縁性基板の一部拡大図、同(b)は配線層が両面に形成された絶縁性基板の一部拡大図、図6は上に搭載された半導体チップが下の半導体チップの外縁からはみ出した場合の本発明の実施の形態の説明に供する図、図7(a)、同(b)は積層された2個の半導体チップが配線層における同じ電極部に接続される場合の配線状態を示す図であり、図8は図7における配線層及び半導体チップにおける電極パッドの配置を示す図、図9(a)、同(b)は積層された2個の半導体チップが配線層におけるそれぞれ異なる電極部に接続される場合の配線状態を示す図であり、図10(a)はボール状の外部接続用端子の配置を示す図、同(b)は断面が台形の外部接続用端子の配置を示す図、図11(a)は切断前の絶縁性基板の上面図、同(b)は(a)に示す絶縁性基板の一部拡大図、図12は積層された半導体チップと絶縁性基板とのワイヤーボンディングの状態を示す図である。

【0020】図1乃至図11において、1、2は半導体チップ、3は絶縁性基板、4は配線層、5は金属バンプを介して接続を行う際に使用する樹脂シート、6は金属バンプ、7は熱圧着シート（接着層）、8はワイヤー、8aは金ボール9は封止樹脂、10は実装用外部端子、11は貫通孔、12は電極パッド、13は支持材、14は溶剤レジスト層、16はランド部、17はダミーパッド、18はガイド穴、19は電極部、20は配線部、21は搭載位置認識用マーク、22は金バンプを示す。

【0021】本発明において、絶縁性基板3は耐熱性に優れた樹脂基板又はフィルムであれば特に限定されず、例えば、ポリイミド、ガラスエポキシ、BT（ビスマレイド・トリアジン）レジン、ポリエステル、ポリアミド、テフロン、セラミック、ガラスポリエステル等の樹脂基板が挙げられ、中でもポリイミドが好ましい。また、図11に示すように、この絶縁性基板3には、その両端において形状の違うガイド穴18が設けられており、このガイド穴18は製造工程において、搬送時に使用される。このとき、半導体チップが搭載されている配線層4の領域に絶縁性樹脂シート、又は絶縁性樹脂コーティング等を施しておくことと半導体チップ1と配線層4間の絶縁を確実にすることができる。

【0022】また、配線層4は、図11(b)に示すように、絶縁性基板3上に形成された電極部19、ランド

20から構成されている。また、図1や図3に示すようにランド部16の下方の絶縁性基板3には貫通孔11が形成されており、貫通孔11を介して配線層4と接続するように実装用外部端子10が形成されている。

【0023】また、図1や図3を裏面から見ると図10aに示すように、ボール状の実装用外部端子10がエリアアレイ状に配列されている。図10の破線部分は配線層側の配線層を示したものである。図10bは実装用外部端子10がボール状でなく、台形状としたものである。

【0024】また、配線層4に使用できる材料としては、Cu、Al、Au、Ni等が挙げられる。このうち、低コストのCuが好ましい。配線層4の絶縁性基板3上への形成方法としては、例えば、蒸着法、メッキ法等が挙げられる。また、配線層4は所望の形状にパターニングされているが、そのパターニング法は、従来技術である、フォトリソグラフィ法が使用できる。また、電極パッド12を構成する材料としては、通常使用されているAlやAl合金等が挙げられる。

【0025】また、ワイヤー8は金又は銅等の金属の細線からなり、直径 $10\mu\text{m}$ のフレキシブルな細線である。このワイヤーによる接続は従来技術であるワイヤーボンディング法を用いる。

【0026】また、樹脂封止法は、金型を利用した樹脂封止法やポッティングのように金型を用いない樹脂封止法を用いても良い。使用する封止樹脂は、エポキシ樹脂等の熱硬化性樹脂を使用する。

【0027】次に、本発明の第1の実施の形態について説明する。

【0028】まず、本発明の第1の実施の形態の半導体装置は、図1に示すように、配線層4が形成された絶縁性基板3上に、半導体チップ1と半導体チップ2を積層し、いずれも素子が形成されている主面（以下、「回路形成面」という。）が絶縁性基板3と反対側を向いており、各半導体チップ1、2は絶縁性基板3の電極パッドにワイヤー8で配線されており、封止樹脂9で被覆されている。

【0029】上記のように一の半導体チップの回路形成面上に、他の半導体チップを搭載する構造では、上側の第2半導体チップ2の形状が第1の半導体チップ1の電極パッドを干渉しないような形状であることが必要である。また、配線層4の一端は半導体チップ1や半導体チップ2との電氣的接続を行う電極部に至る。これらの電極部は、半導体チップ1及び半導体チップ2が搭載される領域よりも外側にある。

【0030】更に、第1の半導体チップ1の回路形成面上に予め絶縁性樹脂等をコーティングしておく必要がある。このコーティングは半導体チップがダイシングされる前のウエハーの状態でスピンコート法等で形成するこ

グ材は開口しておく。

【0031】次に、図2を用いて、本発明の第1の実施の形態の半導体装置の製造方法を説明する。

【0032】まず、絶縁性基板3上に、半導体チップがウエハー状態のときに、絶縁性の熱圧着シート7をウエハー裏面に貼り付け、その後、個別の半導体チップに切り出し、この半導体チップ1を搭載位置認識用マーク21の内側に接するように搭載する(図2(a))。この例では、複数の半導体装置用のフレーム状態であるが、個別の半導体装置の場合もある。尚、予め、半導体チップ1の裏面に絶縁性の熱圧着シートを付けずに、半導体チップ1の搭載前に、配線層の上にエポキシ系樹脂等絶縁性ペーストを塗布し、半導体チップ1を搭載してもよい。

【0033】次に、半導体チップ1の回路形成面上に半導体チップ2を搭載する。半導体チップ2がウエハー状態のときに絶縁性の熱圧着シート7をウエハー裏面に貼り付け、その後、半導体チップに切り出すことにより、予め半導体チップ2の裏面に熱圧着シート7を付けて置く。この予め半導体チップの裏面に熱圧着シートを貼り付けておく方法が、熱圧着シートを半導体チップ1の回路形成面上に置いて接着するよりも、位置決め工程が一回省略できる。

【0034】次に、半導体チップ1、2の電極パッド(図示せず。)と絶縁性基板3の電極部(図示せず。)とをAuから成るワイヤー8により接続する。それぞれの半導体チップ1、2の電気的接続の順番としては、まず、半導体チップ1の接続を行い、次に半導体チップ2の接続を行うとよい(図2(c)、(d))。半導体チップ1と絶縁性基板3とを接続するワイヤー8と、半導体チップ2と絶縁性基板3とを接続するワイヤー8とが交差する場合、半導体チップ1の接続からはできない場合があるからである。

【0035】また、従来においては、半導体チップ1、2の電極パッドとワイヤー8との接続においては、ワイヤー8の端部に金ボールを形成し、この金ボールを半導体チップの電極パッドに接触させ、従来の絶縁性基板とワイヤーとの熱圧着の際の荷重よりも小さい荷重で加圧することにより行い、また、ワイヤー8と絶縁性基板3の配線層の電極部との接続を熱圧着させることにより行っていた。これは、ワイヤー8の片方の端部にしか金ボールを形成することができず、半導体チップとワイヤーのとの接続を荷重をかけた熱圧着で行うと、半導体チップが破損する可能性が高くなるからである。

【0036】しかしながら、特に半導体チップ2と接続しているワイヤー8において、絶縁性基板3の配線層の電極部との接続は、ワイヤー8は絶縁性基板3に大きな角度で接続されることになるので、絶縁性基板3に接続される位置が半導体チップ1の端部から離れることにな

【0037】そこで、本発明では、図12に示すように、半導体チップ1と絶縁性基板3との従来の手法を用いてワイヤーボンディングを行った後、半導体チップ2と絶縁性基板3とのワイヤーボンディングにおいて、予め半導体チップ2の電極パッド上に例えば金バンパ22を形成し、絶縁性基板3の配線層の電極部とワイヤー8との接続をワイヤー8に形成した金ボール8aを用いて接続し、その後、金バンパ22にワイヤー8の端部を熱圧着して接続することにより、ワイヤー8の端部が絶縁性基板3に対してより垂直方向に接続されることになり、半導体チップ1の端部からより近くで接続されることになる。

【0038】尚、ここで、金バンパ22とワイヤー8との熱圧着の荷重はワイヤー8と絶縁性基板3の配線層の電極部との熱圧着の荷重を同程度とするが、金バンパ22を用いることより熱圧着の際の半導体チップ2への応力を緩和することができる。

【0039】また、この金バンパ22は、従来の手法でワイヤー端に金ボールを形成し、この金ボールを半導体チップの電極上に搭載した後、ワイヤーを切断することにより形成することができ、またこの際、スタンピング治具を用いて、上表面を平坦化することで行う。ここで、平坦化することにより、ワイヤー8を確実に金バンパ22に熱圧着することができる。

【0040】尚、半導体チップ1と絶縁性基板3とのワイヤーボンディングも、半導体チップ2と絶縁性基板3とのワイヤーボンディングと同じ構成にしてもよい。

【0041】次に、絶縁性基板上の半導体チップ1、2、ワイヤー8を樹脂封止による封止を行う(図2(e))。この第1の実施の形態では金型を使用し、封止樹脂9はエポキシ樹脂等の熱硬化性樹脂を用いるが本発明はこれに限定するものではない。

【0042】次に、絶縁性基板3の貫通孔(図示せず)部分に実装用外部端子10を形成する(図2(f))。実装用外部端子10の形成は、各貫通孔にはんだボールを一時的に固定して、リフロー炉により加熱し、はんだボールをランド部に接合することにより行う。はんだボールを一時的に固定する方法として、フラックスを塗布後、はんだボールを付ける方法、又ははんだボールにフラックスを付着させた後、貫通孔に付ける方法がある。

【0043】最後に、絶縁性基板上に複数個形成された半導体装置を、半導体装置の単品とするため絶縁性基板の必要のない部分を切断する(図2(g))。切断は樹脂封止部分の外周部に沿って行われる。切断を行うのは、実装用外部端子を形成する前でもよい。この切断には、金型による打ち抜き法、エキシマレーザを用いた切断法等が挙げられる。

【0044】この第1の実施の形態においては、配線層4が絶縁性基板3の片面に存在する場合だが、配線層が

に、貫通孔11にメッキを施したスルーホールにより、電氣的接続する。半導体チップの搭載しない側の配線は、実装用外部端子10が形成される部分以外は、ソルダーレジスト14等で被覆されている。この際、ソルダーレジスト14で被覆形成していない実装用外部端子11との接続を行う部分はエリアレイ状に配列されている。

【0045】また、半導体チップ1、2をワイヤー8にて電氣的に接続をとる際に、電極パッドのレイアウト上ワイヤーが密に集まる場合で、半導体チップ1及び半導体チップ2とは配線層4の同じ電極パッドに接続する場合は図7aや図7bに示すように、配線層4の電極部を2連にするか、半導体チップ2の電極パッド12から半導体チップ1の電極パッド12に接続し、その電極パッド12から絶縁性基板3の電極部にワイヤー配線する方法も考えられる。また、それぞれ接続する電極パッドが違う場合、図8(a)に示すようにそれぞれ直接ワイヤー8を用いて配線層4の電極部と接続するか、図8

(b)に示すように、半導体チップ1にダミーパッド17を設けて、そこを介して接続する方法がある。半導体チップ2から絶縁性基板3の電極部へ直接ワイヤー配線するよりも、一旦半導体チップにワイヤー配線して、絶縁性基板3の電極部にワイヤー配線する方が、ワイヤー8の垂れも小さくなる。

【0046】次に、第2の実施の形態について説明する。

【0047】まず、本発明の第2の実施の形態の半導体装置は、図3に示すように、絶縁性基板3上にフェイスダウンに搭載された半導体チップ1の回路形成面と反対側の面上に回路形成面が上側になるように半導体チップが搭載され、樹脂封止された構造のものである。

【0048】半導体チップ1と配線層4の電極部の電氣的接続は、金属バンプ6を介して行う。半導体チップ1と電氣的接続を行う配線層4の電極部の位置は、半導体チップ1が搭載される領域の内側に配置される。また、半導体チップ2と電氣的に接続を行う配線層の電極部の位置は、ワイヤー8を用いたワイヤーボンディング接続のため、半導体チップ1及び半導体チップ2が搭載される領域よりも外側の領域に配置される。5は金属バンプを介して接続を行う際に使用した樹脂シートが伸張したものであり、7は半導体チップ1上に半導体チップ2を保持するための接着層である。

【0049】第2の実施の形態において、少なくとも、半導体チップ1又は2のいずれかの裏面には、予め絶縁性樹脂等をコーティングしておくのが望ましい。半導体チップ1及び2が同じ電位でない場合があるため、絶縁が必要となる場合があるためである。第1の実施の形態では半導体チップ1と半導体チップ2のワイヤー配線が多い場合、絶縁性基板上の電極部の面積の増加や、ワイ

半導体チップ1はバンプ接続のため、それらの問題点がなくなる。また、同じ面積の半導体チップが積層できるという利点がある。

【0050】次に、図4を用いて、第2の実施の形態の半導体装置の製造工程を説明する。

【0051】まず、半導体チップ1と電氣的に接続を行う絶縁性基板3上の配線層4の電極部は、半導体チップ1の回路形成面に配置された電極パッド（図示せず）と対向するように配置されており、配線層4の電極部上に金属バンプ6を形成する。また、配線層4上の半導体チップ1の搭載される部位に樹脂シート5を配置する（図4a）。

【0052】その後、半導体チップ1と配線層との電氣的接続をフェイスダウン方式のフリップチップ法を用いて行う（図4b）。

【0053】また、配線層の電極部上に形成する金属バンプ6の材料としては、電極パッドがA1である場合、Auが望ましい。これはA1とAuとは合金を作りやすいので、密着性が向上するからである。また、配線層4と半導体チップ1との間に挟み込む樹脂シート5としては、熱可塑性樹脂や熱硬化性樹脂が挙げられ、この樹脂シート5は半導体チップ1と配線層4とが金属バンプ6を介して接続するとき使用する熱により樹脂が伸長し、接続部位であるバンプ部分を覆い、衝撃等で接続部分が劣化するのを防止するため、熱可塑性樹脂がより望ましい。

【0054】さらに、この樹脂シート5内に遮光性の物質層、例えば金属箔などを包含した3重構造の樹脂シートを使用することもできる。これにより実装用外部端子搭載面から入射する光の透過による半導体チップ1の誤動作を防止することができる。但し、金属箔を使用した場合、金属箔はバンプと接触を起こさない大きさである必要がある。

【0055】本実施の形態では、樹脂シートを用いた場合を記載しているが、樹脂シートを用いずに半導体チップ1を接合した後に、接合部分に生じた隙間を液状樹脂材等で充填し、接合部を被覆しても良い。

【0056】次に、半導体チップ1上に予めチップ裏面に熱圧着シートの付いた半導体チップ2を搭載する（図4c）。半導体チップ2のウエハ状態の時にウエハ裏面に予め熱圧着シートを貼り付けておき、その後切り出してチップ化しておく。

【0057】次に、半導体チップ2と絶縁性基板3の配線層との電氣的接続は、半導体チップ2の回路形成面にある電極パッド（図示せず）と、絶縁性基板3上の配線層4の電極部とをワイヤー8により接続して実現する（図4d）。

【0058】次に、配線層を有した絶縁性基板3上の半導体チップ1、半導体チップ、ワイヤー8を封止樹脂9



【0059】次に、絶縁性基板3の貫通孔部分に実装用外部端子10としてはんだボールを形成する(図4(f))。この実装用外部端子10は上述の第1の実施例のように、エリアレイ状に配列されている。

【0060】最後に配線層を有した絶縁性基板3上に複数個形成された半導体装置を、絶縁性基板の必要のない部分で切断して、単品にする(図4(g))。

【0061】上述の第1の実施の形態及び第2の実施の形態において、半導体チップ1上に半導体チップ2を搭載する際、図6に示すように、半導体チップ2が張り出すとごく半導体チップ1と半導体チップ2の形状に差異がある場合がある。この場合、半導体チップ2の電極パッド12に基板側との電気的接続のためのワイヤーボンディング等を行う際、その衝撃により半導体チップが破壊される恐れがある。この場合、この半導体チップ2の張り出し部分に半導体チップ1と高さが同じで形状が張り出し部と同じ形状の支持材13を固定しておくことで、半導体チップ2の破壊を防止することができる。支持材13は線膨張係数が同じものを用いるが、工程上及びCSP完成後の熱負荷に対して応力等の発生が少なく

なるため、Siを用いるのが好ましい。

【0062】以上は2個の半導体チップを積層した場合であるが、本発明は、更に半導体チップを積み上げて行く方法が可能である。即ち、3個目の半導体チップを上向きに積み上げてワイヤーボンディングするか、半導体チップ2に金属バンパ用に電極パッドを形成しておき、3個目の半導体チップを金属バンパで接続する方法を用いることが可能である。

【0063】

【発明の効果】以上、詳細に説明したように、本発明の半導体装置及びその製造方法を用いることにより、チップサイズパッケージにおいて、従来よりも高集積化された、携帯機器に適した半導体装置を提供することができる。

【0064】また、請求項3及び請求項8に記載の半導体装置を用いることにより、ワイヤーボンディングの際、上側にある半導体チップが破損することを防ぐことができる。

【0065】また、請求項5に記載の半導体装置の製造方法を用いることにより、絶縁性基板でのワイヤーボンディング位置が、搭載される半導体チップ端により近づけることができるので、半導体装置のサイズを小さくすることができる。

【0066】また、請求項7に記載の半導体装置を用いることにより、絶縁性基板側からの光を遮光するため、絶縁性基板に搭載された半導体チップの誤動作がより確実に防止できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体装置の断面

【図2】図1に示す半導体装置の製造工程図である。

【図3】本発明の第2の実施の形態の半導体装置の断面図である。

【図4】図3に示す半導体装置の製造工程図である。

【図5】(a)は配線層が片面だけに形成された絶縁性基板の一部拡大図、同(b)は配線層が両面に形成された絶縁性基板の一部拡大図である。

【図6】上に搭載された半導体チップが下の半導体チップの外縁からはみ出した場合の本発明の実施の形態の説明に供する図である。

【図7】積層された2個の半導体チップが配線層における同じ電極部に接続される場合の配線状態を示す図である。

【図8】図7における半導体チップにおける電極パッドの配置を示す図である。

【図9】積層された2個の半導体チップが配線層におけるそれぞれ異なる電極部に接続される場合の配線状態を示す図である。

【図10】(a)はボール状の外部接続用端子の配置を示す図、(b)は断面が台形の外部接続用端子の配置を示す図である。

【図11】(a)は切断前の絶縁性基板の上面図、

(b)は(a)に示す絶縁性基板の一部拡大図である。

【図12】積層された半導体チップと絶縁性基板とのワイヤーボンディングの状態を示す図である。

【図13】(a)は従来のワイヤーボンディング法を用いたCSP構造の半導体装置の断面図であり、(b)は従来のフェイスダウンボンディング法を用いたCSP構造の半導体装置の断面図である。

【図14】従来のスタックドパッケージの断面図である。

【符号の説明】

- 1 第1の半導体チップ
- 2 第2の半導体チップ
- 3 絶縁性基板
- 4 配線層
- 5 樹脂シート
- 6 金属バンパ
- 7 熱圧着シート
- 8 ワイヤー
- 8a 金ボール
- 9 封止樹脂
- 10 実装用外部端子
- 11 貫通孔
- 12 電極パッド
- 13 支持材
- 14 ソルダーレジスト層
- 15 金属バンパ
- 16 ランド部

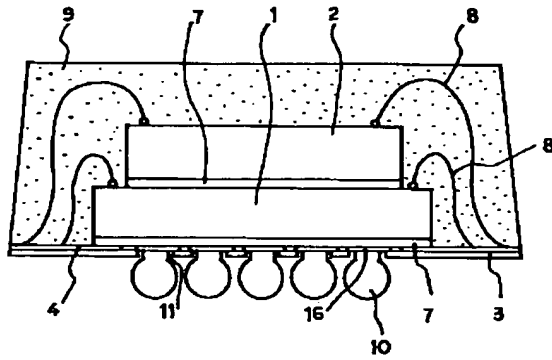
15

16

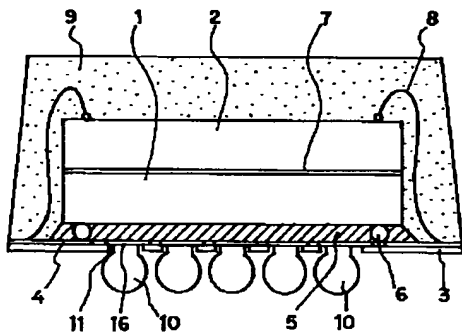
- 18 ガイド穴  
19 電極部  
20 配線部

- 21 搭載位置認識用マーク  
22 金バンプ

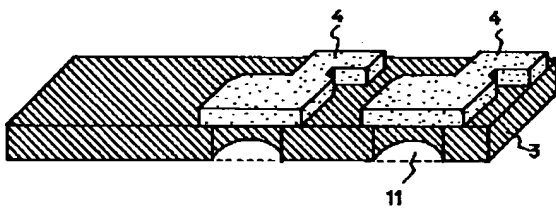
【図1】



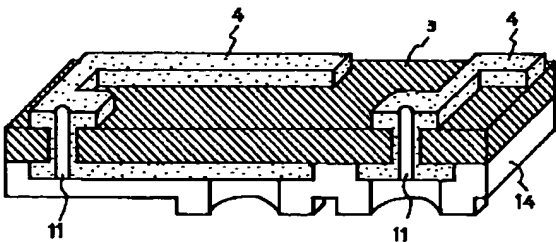
【図3】



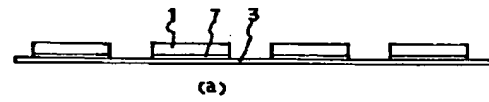
【図5】



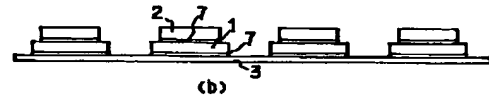
(a)



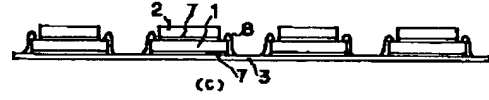
【図2】



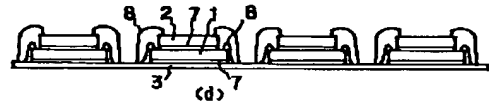
(a)



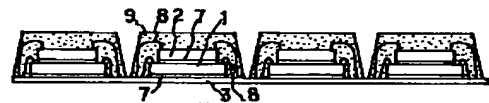
(b)



(c)



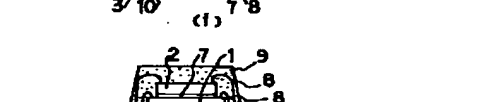
(d)



(e)

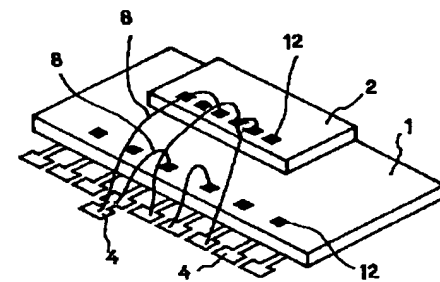


(f)

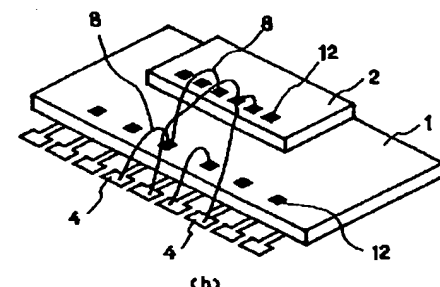


(g)

【図7】

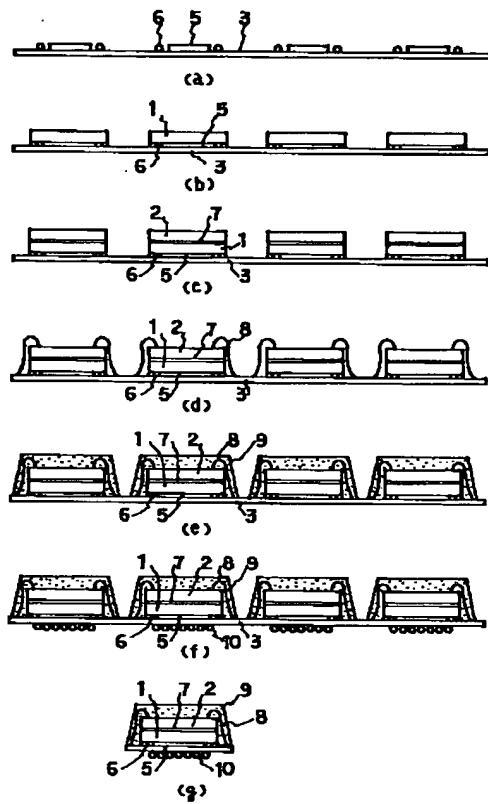


(a)

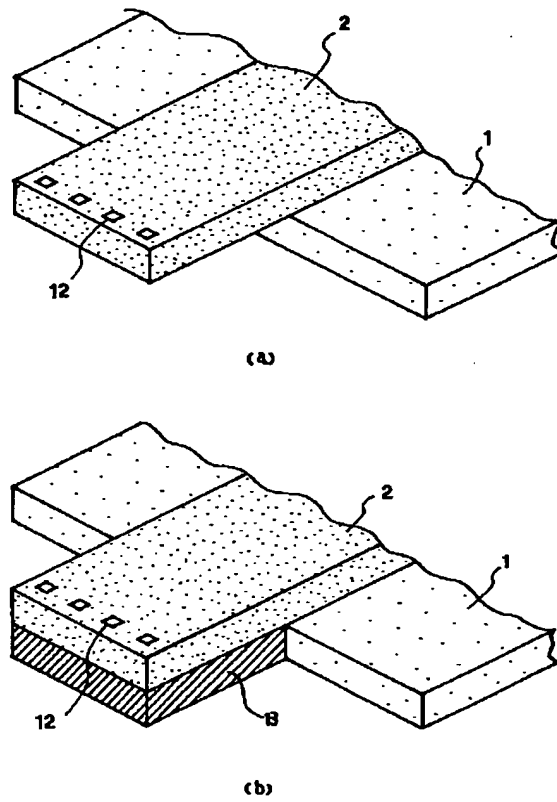


(b)

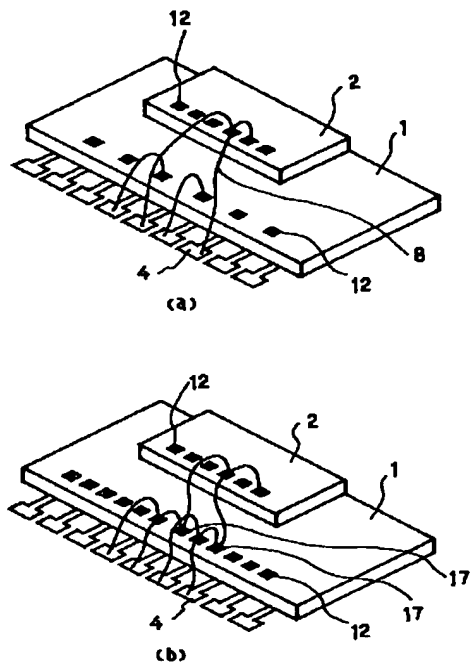
【図4】



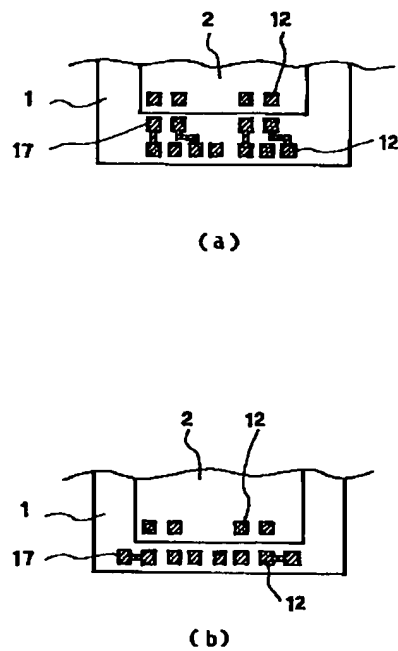
【図6】



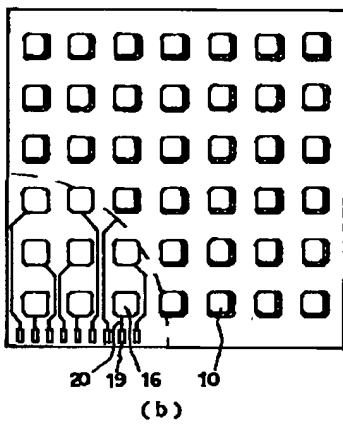
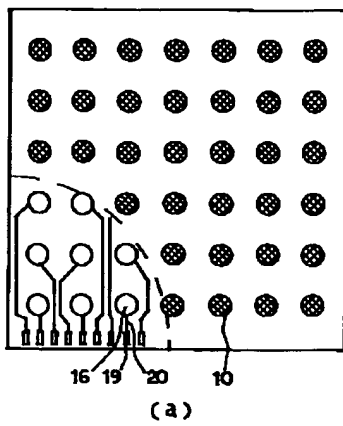
【図8】



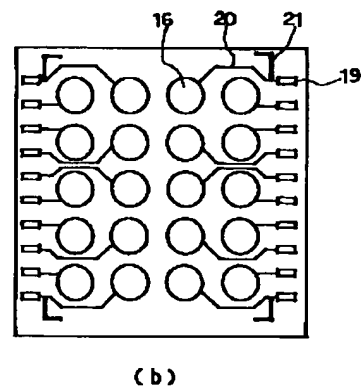
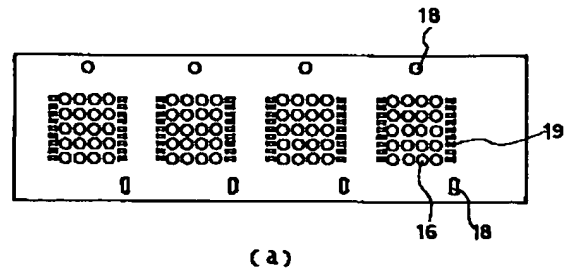
【図9】



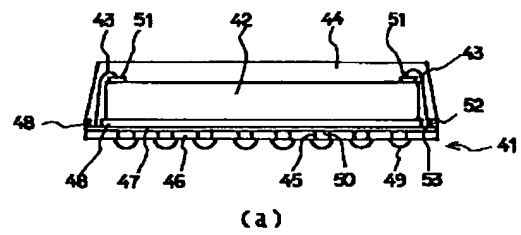
【図10】



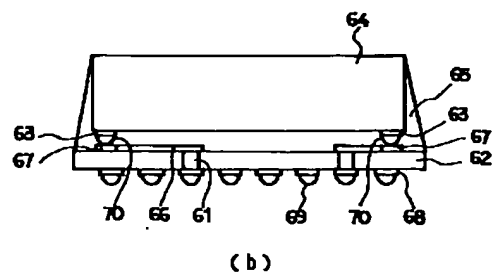
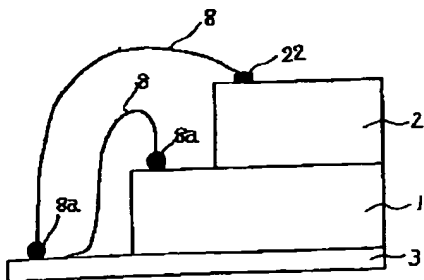
【図11】



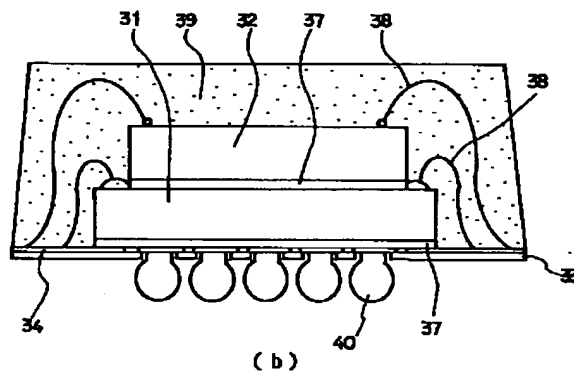
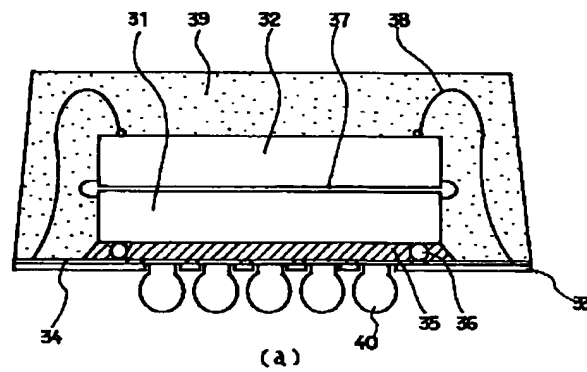
【図13】



【図12】



【図14】



フロントページの続き

(72)発明者 並井 厚也

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

PAT-NO: JP411204720A

DOCUMENT-IDENTIFIER: JP 11204720 A

TITLE: SEMICONDUCTOR DEVICE AND ITS  
MANUFACTURE

PUBN-DATE: July 30, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
FUKUI, YASUKI	N/A
SODA, YOSHIKI	N/A
MATSUNE, YUJI	N/A
NAMII, ATSUYA	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SHARP CORP	N/A

APPL-NO: JP10005221

APPL-DATE: January 14, 1998

INT-CL (IPC): H01L025/065, H01L025/07 , H01L025/18

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for stacking  
semiconductor chips

with CSP structure even in a stacked package.

SOLUTION: A semiconductor chip 1 formed by sticking a heat pressing sheet to

the back of a wafer where a desired circuit is formed on the surface and dicing

it is loaded on an insulating substrate 3, where a wiring layer 4 is formed and

mounting outer terminals 10 which are electrically connected to the wiring layer 4 through holes 11 on the back by making a circuit forming face upward.

The semiconductor chip 2 formed by sticking the heat pressing sheet on the back

the wafer where the circuit is formed on the surface and dicing it is mounted on the circuit forming face of the semiconductor chip 1. The semiconductor chips 1 and 2 are connected to the electrode part of the wiring layer 4 by using wires 8. The semiconductor chips 1 and 2 and the wires 8 are resin-sealed.

COPYRIGHT: (C)1999,JPO